

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開  
 ⑪ 公開特許公報 (A) 昭57-138237

⑤Int. Cl. <sup>3</sup> H 04 L 1/10 // H 04 B 7/14	識別記号 6651-5K 7251-5K	府内整理番号 6651-5K 7251-5K	⑥公開 昭和57年(1982)8月26日 発明の数 1 審査請求 未請求
---	----------------------------	------------------------------	--

(全 7 頁)

## ⑤誤り訂正並列データ伝送方式

東京都港区芝五丁目33番1号日本電気株式会社内

⑦特 願 昭56-23952  
 ⑧出 願 昭56(1981)2月20日  
 ⑨發明者 大島五郎

⑩出願人 日本電気株式会社  
 東京都港区芝5丁目33番1号  
 ⑪代理人 弁理士 内原晋

## 明細書

## 1. 発明の名称

誤り訂正並列データ伝送方式

の情報データビットとロジックパリティビットとともに前記使用する誤り訂正符号方式によって定まる誤り訂正を行なうことを特徴とする誤り訂正並列データ伝送方式。

## 2. 特許請求の範囲

予め定めたある整数の組 $k$ および $p$ に対し $k$ ビットの伝送すべき情報データビットごとに $p$ ビットの割合で発生するパリティビットを必要とする予め定めた誤り訂正符号方式を使用し、

送信側においては伝送すべき情報データ $k$ ビットごとに発生する前記使用する誤り訂正符号方式により定まる $p$ ビットのパリティビットと前記伝送すべき情報データ $k$ ビットとの合計( $k+p$ )ビットをそれぞれ周波数の異なる( $k+p$ )とのキャリアを変調する( $k+p$ )この変調器を介して並列に送出し、

受信側においては前記( $k+p$ )このそれぞれの周波数のキャリアを復調する( $k+p$ )この復調器を用いて復調し前記並列に伝送された $k$ こ

## 3. 発明の詳細な説明

本発明は誤り訂正並列データ伝送方式に関する。衛星通信を使用するSCPC(Single Channel Per Carrier; シングルチャンネルペーキャリア)システムは音声通信およびデータ通信用として国際的に広く使用されている。このシステムは、各チャンネルごとに異なる周波数のRFのキャリアを使用し、このキャリアを64 kbpsのビットレートをもつデジタル信号によってPSK変調して伝送する。回線のスレシホールドにおけるBER(ビットエラー率)は約 $10^{-4}$ に選ばれている。このため、PCM符号化を用いた音声伝送に対しては、充分の品質を有するが、データ伝送に対してはこのままでは品質が不充分となる。

そこで、一般にパリティビットを付加する誤り

訂正符号方式を用い、データ伝送に対するBERを改善するが、従来は誤り訂正用のパリティビットを挿入するために、その分だけ伝送すべきデータのビットレートを下げる伝送するという方法がとられている。このためにデータ伝送速度を回線のビットレートまであげることが出来ないという欠点を有している。

本発明の目的は上述の従来の欠点を除去した伝送方式を提供するにある。

本発明の方式は、予め定めたある整数の組kおよびpに対し kビットの伝送すべき情報データピットごとに pビットの割合で発生するパリティビットを必要とする予め定めた誤り訂正符号方式を使用し、送信側においては伝送すべき情報データ kビットごとに発生する前記使用する誤り訂正符号方式により定まる pビットのパリティビットと前記伝送すべき情報データ kビットとの合計(k+p)ビットをそれぞれ周波数の異なる(k+p)このキャリアを変調する(k+p)この変調器を介して並列に送出し、受信側においては前記(k+p)

す。Dはシフトレジスタのシフト長を表わす)と排他的論理和回路(プラス記号を円で囲んだ回路)より構成されるが、このように全部で6単位長のシフトレジスタを含むので、ある時点で得られるパリティはそのデータとそれより6ビット前までのデータの値によって定まることになる。こうして得られたパリティビットは出力3Bより前記並列直列変換回路2のもう一方の端子に供給され、かくして、回路2において並列に加えられた前記データピットとこのパリティビットとが直列信号に変換され(すなわちデータピットとパリティビットとが交互に選択されて)、1つの直列伝送チャンネル、例えば前記SCPC方式の場合には、このチャンネルとして定まった1つの周波数のキャリアをPSK変調する変調器4と受信側でこのチャンネルのキャリアを復調する復調器5とを含む衛星中継回線の中の1つの直列伝送チャンネル6を介して受信側に伝送される。従ってこの直列伝送チャンネル6の伝送速度が例えば64 kbpsの場合には実際に伝送できるデータの伝送速度は32

(k+p)このそれぞれの周波数のキャリアを復調する(k+p)この復調器を用いて復調し、前記並列に伝送されたkこの情報データピットとpこのパリティビットとをもとにして前記使用する誤り訂正符号方式によって定まる誤り訂正を行なう。

次に図面を参照して本発明を詳細に説明する。

本発明の実施例の説明に先だち、まず、誤り訂正符号方式の1例としてレート(比)が1/2のたたみ込み符号を用いた場合の一般的なデータ伝送の方法について説明する。第1図はレート1/2のたたみ込み符号の中で最も簡単な、括東長14ビットの誤り訂正符号を用いた従来の誤り訂正データ伝送方式を示すブロック図である。

入力端子1から入った伝送すべきデータは2つに分かれ一方は直接に並列変換回路2の1つの端子に供給され、もう一方はパリティ発生器3の入力側に供給され、ここでこのデータをもとにしたパリティビットが作られ、パリティ発生出力端子3Bより出力される。パリティ発生器3は図に示すようなシフトレジスタ(2D, 3D, 1D)で示

k bpsになるととは明らかである。

さて、受信側においては前記伝送チャンネル6からの受信信号は、まず、直列並列変換回路7によって2つの出力7Aおよび7Bからの2ラインの並列信号に変換される(直列受信信号を交互に2つの出力7Aおよび7Bに分配する)。こうして今、回路7の出力7Aにデータピットが、また出力7Bにパリティビットが得られたと仮定する。実際には、これが逆になると後述する誤りの現われる確率が異常に高くなるため、これを検出し、それによって、回路7の分配の位相を1つずらせて、7A側と7B側への受信信号の分配を反転する手段が含まれている。さて、7A側から得られた受信データピットは送信側で用いた回路3と全く同じ構成をもつパリティ発生器8に供給され、ここで受信した信号をもとにしてパリティが発生され回路8のパリティ出力端子8Bより出力され、排他的論理和回路9において受信されたパリティピット、すなわち出力7Bとの排他的論理和がとられる。もし、受信したデータピットにもまた受

信したパリティビットにも全く誤りがなければ、回路 8 のパリティビット出力 8 B は、送信側で発生したのと全く同じパリティビットを出力し、これが送信側から送られたパリティビット、すなわち出力 7 B と回路 9 において排他的論理和がとられるので、回路 9 の出力は常に "0" になる。もし、伝送途中において、データビットまたはパリティビットのいずれか一方または双方に誤りが発生した場合には、それに応じて回路 9 の出力には、"1" を含むあるビットパターンが発生する。これをシンドローム（病気の症候群を意味する）といふ（例えば、データビットに 1 つの誤りが発生した場合に、その誤りデータビットがパリティ発生器 8 のシフトレジスタを通りぬけ、発生するパリティビットに全く影響を与えるくなるまでに 7 ビット長の期間が必要である。従ってこの期間にこの誤りを含むデータをもとにして発生される 7 ビット長のパリティビットパターンは、とのパリティビットパターンと同一にはならないので、このように孤立した 1 つのデータビットの誤りに

ある。

伝送すべきデータは入力端子 1 から誤り訂正送信回路 20 に供給される。回路 20 は 2 つの出力 20 A および 20 B をもち、前記入力した伝送すべきデータは一方では出力 20 A よりそのまま出力される。他方では前記データは回路 20 中に含まれるパリティ発生器 3 に供給され、回路 3 のパリティ出力端子 3 B が前記回路 20 の出力 20 B となる。

前記出力 20 A は、1 つの直列伝送チャネル、例えば前記 SCPC 方式の場合には、このチャネルの周波数のキャリアを PSK 変調する変調器 41 と受信側でこのチャネルのキャリアを復調する復調器 51 とを含む衛星中継回線の中の 1 つの直列伝送チャネル 61 を介して受信側に伝送される。

また前記出力 20 B は、別の 1 つの直列伝送チャネル、例えば前記 SCPC 方式の場合にはこの別のチャネルの周波数のキャリアを PSK 変調する変調器 42 と受信側でこのチャネルのキャ

対しては 7 ビット長のパターンをもつシンドロームが対応することになる）。このシンドロームを誤り訂正ビット発生回路 10 に供給し、このシンドロームバタンによって一義的に定まる誤り訂正ビットを発生し、これを、前記回路 8 のデータ出力端子 8 A（この出力端子は入力データビットが 7 単位時間長だけシフトによって後れているだけで伝送されたデータビット出力と全く同じものを与える）と共に排他的論理和回路 11 に供給する。こうして、回路 11 において誤り訂正ビットが発生すると同時にデータビットの符号が反転され誤り訂正が実現される。このようなく  $R = \frac{1}{2}$  、拘束長 14 ビットの誤り訂正符号方式を用いることにより、拘束長 1 ビット内に生ずる 2 ビットまでの誤りを訂正できることが知られている。

次に本発明の一実施例として上述の誤り訂正符号方式を用いた誤り訂正並列データ伝送方式を図面を用いて詳細に説明する。

第 2 図は本発明の一実施例を示すブロック図である。

リアを復調する復調器 52 とを含む衛星中継回線の中の 1 つの直列伝送チャネル 62 を介して受信側に伝送される。

こうして送信側の誤り訂正送信回路 20 で得られたデータとパリティとが 2 つの直列伝送チャネル 61 および 62 を介して並列に伝送され受信側の誤り訂正受信回路 70 に供給される。

回路 70 は 2 つの入力 70 A および 70 B をもち、入力 70 A には前記チャネル 61 の出力、すなわち、伝送されたデータビットが供給され、また入力 70 B には前記チャネル 62 の出力、すなわち、伝送されたパリティビットが供給される。前記入力 70 A から入力された受信データビットは、回路 70 の中ににおいて、回路 3 と全く同じ構成をもつパリティ発生器 8 に供給され、ここで受信した信号をもととしてパリティが発生され、回路 8 のパリティ出力端子 8 B から出力されて、排他的論理和回路 9 に供給される。また、前記チャネル 62 を介して伝送され、入力 70 B に供給されたパリティビットは同様に排他的論理和回

路 9 に供給され、ここで、前述したシンドロームが回路 9 の出力として得られる。このシンドローム（回路 9 の出力）を前記回路 7 0 中に含まれる誤り訂正ビット発生回路 1 0 に供給し、こうして得られる誤り訂正ビットを、排他的論理和回路 11において前記パリティ発生回路 8 のデータ出力端子 8 A から得られる遅延された受信データビットとの排他的論理和をとり、これを回路 7 0 の出力とする。

以上のように、この実施例の信号伝送においては、第 1 図を用いて説明した従来の信号伝送に対して、並列直列変換回路 2 および直列並列変換回路 7 を含まず、そのかわり、従来の 1 つの直列伝送路 6 を、2 つの直列伝送路 6 1 および 6 2 とし、データビットとパリティビットとを並列に伝送している。これにより、前述の誤り訂正が全く同様に行なわれることは明らかであろう。

しかも、本実施例の方式においては、前記回路 2 および回路 7 を含まないので、受信側の回路 7 における前述したデータビット出力側とパリティ

信側において、前記誤り訂正受信回路 7 0 中にシンドローム検出回路 8 D を設け、シンドロームとして現われる“1”的確率がある予め定めたスレシホールドよりも小さくなつた場合には、これを検出して受信側のボイス／データ切替器 S' をデータモードに切替える制御を行なうことにより、送信側から受信側のデータモードを起動することができる。

またさらに、本実施例の誤り訂正方式を用いる場合には予備回線を別に用意することなく、障害に対してソフトリダンダント動作を行う回線（柔軟性のある冗長度をもつ回線）を下記のようにして構成することができる。すなわち、前記直列伝送チャンネル 6 1 または 6 2 のいずれか一方に障害が生じたことが送信側で検出された場合には、送信側では伝送すべきデータビットを両チャンネルの変調器に並列に接続し（従ってパリティビットの送信は行なわず）、かつ障害を生じた側の変調器のキャリアを断とする。受信側では、一方の変調器がキャリアが断となつたことを検出すると、

ピット出力側との正しい分配を決定するための制御を全く必要とせず、また直列伝送チャンネル 6 1 および 6 2 の伝送速度が例えば 64 kbps の場合には、伝送すべきデータと同じ 64 kbps で伝送できるという特徴を有している。

前記 SCPC 方式の 1 つの運用形態として A V D (Alternate Voice and Data : オールタネートボイスアンドデータ) 動作がある。データ伝送に対して本実施例に示した誤り訂正方式を用いる場合に、この A V D 動作を行うためには、第 3 図に示すように、前記誤り訂正送信回路 2 0 と前記直列伝送チャンネル 6 1 および 6 2 との間にボイス／データ切替器 S を設け、ボイス伝送の場合にはチャンネル 6 1 およびチャンネル 6 2 に別々の PCM コーダを接続してボイス 2 回線を同時に伝送すればよい。こうすることによって、ボイス伝送時には BER が約  $10^{-4}$  の 2 回線が、またデータ伝送時には BER が約  $10^{-8}$  の 1 回線が得られ、ボイスおよびデータ伝送に対してバランスのとれた伝送方式を構成することができる。また受

反対側の復調器からの出力を直接受信データビット出力とするように切替える。こうすることによって、1 回線障害の場合でも回線断を防ぎ、BER が劣化した形でオペレーションを継続することができる。

またさらに、本実施例の誤り訂正方式を用いたデータ伝送に対して予備を設ける場合には、送信側においてはチャンネル 6 1 または 6 2 用いたのと同じ変調器を、また受信側においては同様にチャンネル 6 1 またはチャンネル 6 2 用いたのと同じ復調器を、それぞれ 1 つだけを接続し、これをデータビット伝送用およびパリティビット伝送用の共通予備として用いることができる。これは従来の伝送方式をとる場合に比較し、予備として必要な変復調器の伝送容量の比率が 1 / 2 で済むことが明らかであろう。

以上の説明は、 $R = \frac{1}{2}$ 、誤差率 14 ビットの誤り訂正たみ込み符号方式を用いた実施例について詳述したものであるが、一般に従来の誤り訂正符号を用いた SCPC 方式は、ある k ビットの伝送

すべきデータごとに発生する  $p$  ビットのパリティビットを前記データビット中に挿入し、これを  $k+p$  ビットごとにくりかえして伝送するという形式をとっている（前述の説明で明らかな通り、これは必ずしもこのパリティビットが  $k$  このデータビットで定まるという意味ではない）。

第4図はこのような一般的の場合における本発明の実施例を示したものである。

すなわち、誤り訂正送信回路 200 は入力端子 1 から入力した送信すべきデータをもととして、 $k$  この並列データビットと、採用している誤り訂正符号方式に応じた  $p$  この並列パリティビットを作成し、この  $(k+p)$  この並列データを  $(k+p)$  この別々な周波数をもつ直列データ伝送チャネル 601, 602, ……, 600+k, 600+k+1, ……, 600+k+p のそれぞれのキャリアを変調する  $(k+p)$  この変調器 401, 402, ……, 400+k, 400+k+1, ……, 400+k+p を介して並列に受信側に伝送する。

受信側においては、こうして送信された  $(k+p)$

カデータ系列  $1' - 1, 1' - 2, \dots, 1' - k$  のデータから、採用している誤り訂正符号方式に応じた  $p$  このパリティビットを作成し、前記  $k$  このデータビットとこの  $p$  このパリティビットの  $(k+p)$  この並列データを前述と同様に受信側に伝送する。受信側においては、誤り訂正受信回路 700' において、採用している誤り訂正符号方式に応じた誤り訂正回路を用い、前記伝送された各データビット中に含まれる誤りを訂正して送信側に対応する  $k$  この別々の出力データ系列  $2' - 1, 2' - 2, \dots, 2' - k$  として出力する。このような伝送方式をとることにより、誤り訂正用のパリティビットを複数のデータチャネルで共通に使用できるため、伝送すべきデータビットと挿入すべきパリティビットの冗長度との相対関係に対する自由度を増加し、両者の整合を一層よく達ぶことができる。

以上述べたように、本発明を用いることにより従来にない種々の特徴をもつ誤り訂正を含むデータ伝送方式を提供することができる。

p) このそれぞれの周波数のキャリアを復調する  $(k+p)$  この復調器 501, 502, ……, 500+k, 500+k+1, 500+k+p を用いてこれらのキャリア復調し、こうして得られる  $k$  この並列データビットと  $p$  この並列パリティビットを誤り訂正受信回路 700 に供給し、この回路 700 において採用している誤り訂正符号方式に応じた誤り訂正回路を用いて前記伝送されたデータビット中に含まれる誤り訂正を実行し、これを送信側で入力したデータと同じ直列データに変換して出力する。このような伝送方式をとることによって各直列データ伝送チャネル 601, 602, ……等の  $k$  倍の伝送速度をもつデータチャネルを誤り訂正機能を付加して伝送することができる。

また、上の実施例においては、送信すべきデータとして 1 つの系列の直列データを用いたが、これを第5図に示すように、 $k$  この独立したデータ系列のデータとしてもよい。この場合には、誤り訂正送信回路 200' は並列に入力する  $k$  この入

これによってデータ伝送回路の伝送性能を改善できる。

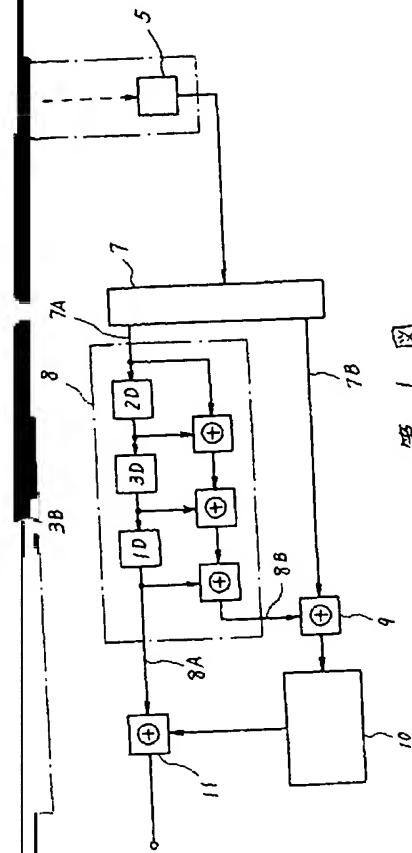
#### 4. 図面の簡単な説明

第1図は従来の誤り訂正データ伝送方式を示すプロック図、第2図は本発明の一実施例を示すプロック図、第3図は前記実施例に A V D 動作を適用したプロック図、第4図および第5図は一般的な誤り訂正符号方式を本発明に適用した場合の実施例を示すプロック図である。

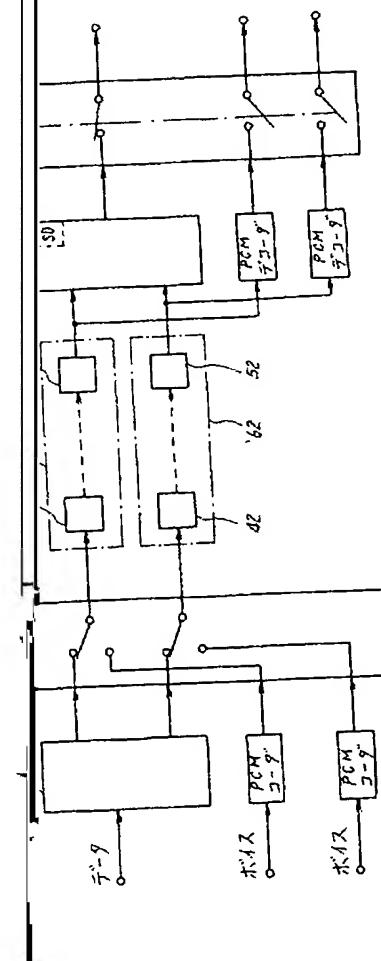
図において、

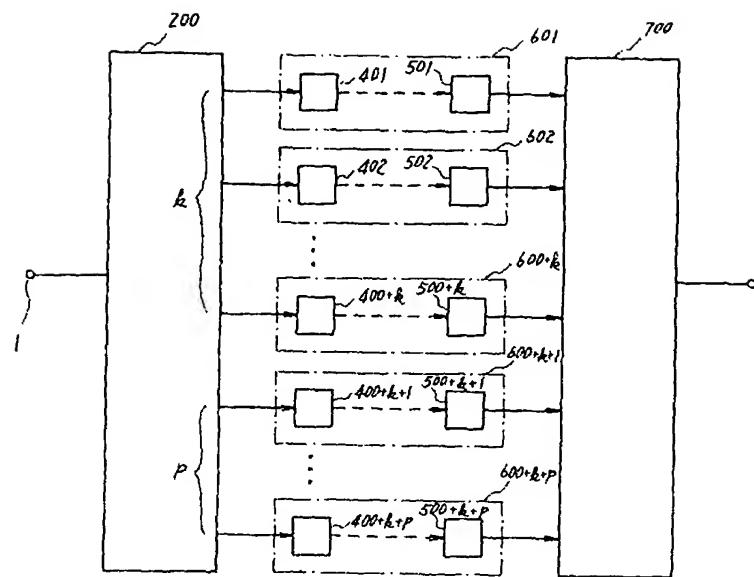
1 ……入力端子、 2 ……並列直列変換回路、 3 ……パリティ発生器、 4 ……変調器、 5 ……復調器、 6 ……直列伝送チャネル、 7 ……直列並列変換回路、 8 ……パリティ発生器、 9, 11 ……排他的論理回路、 10 ……誤り訂正ビット発生回路、 20 ……誤り訂正送信回路、 41, 42 ……変調器、 50, 51 ……復調器、 61, 62 ……直列伝送チャネル、 70 ……誤り訂正受信回路、 200, 200' ……誤り訂正送信回路、 401,

第 1 図

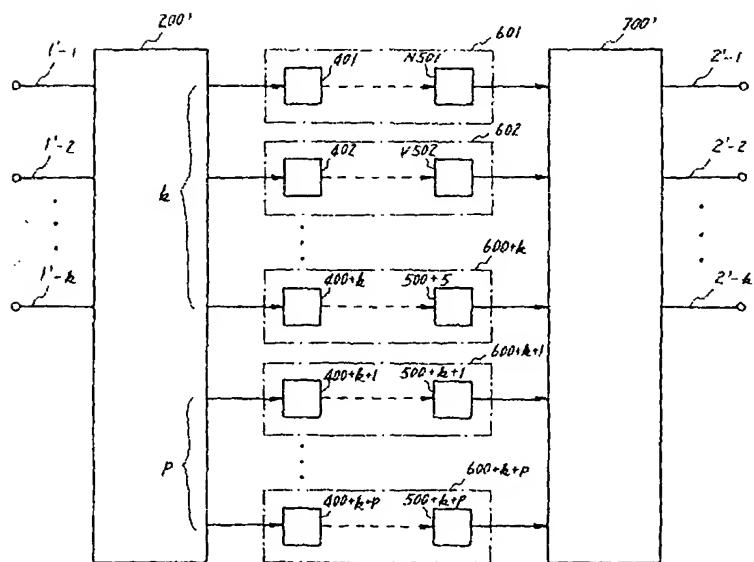


第 3 図





第4図



第5図